

CLIPPEDIMAGE= JP402045949A

PAT-NO: JP402045949A

DOCUMENT-IDENTIFIER: JP 02045949 A

TITLE: CONTINUITY TEST METHOD FOR SEMICONDUCTOR DEVICE

PUBN-DATE: February 15, 1990

INVENTOR-INFORMATION:

NAME

SAKURAI, KAZUNORI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP63196484

APPL-DATE: August 6, 1988

INT-CL\_(IPC): H01L021/66; G01R031/26

ABSTRACT:

PURPOSE: To eliminate the need for separating into each semiconductor element and ease automation by performing continuity test of a film carrier in continuous length shape and keeping it in continuous length shape even after the test.

CONSTITUTION: A flexible tape 3 is overlapped with a film carrier 1 and positioning is performed so that a lead 5 extended from a semiconductor element and a wiring pattern 4 cross at a connection hole 6 position. The lead 4 and the wiring pattern 4 are spot-welded. It is wound around a reel again while using an insulation heat-resistant spacer such as polyimide. The carrier 1 wound around the reel is thrown into a continuity tester and electrified by soldering and connection of connectors, etc., to the pattern 4 of the winding start part of the tape 3. The part connected by the tape 3 is separated at the

lines A-A' and B-B'. Electrical characteristics of the carrier 1 whose connection part is separated are measured by using a second feed hole 9. It eases automation.

COPYRIGHT: (C)1990, JPO&Japio

## ⑫ 公開特許公報(A) 平2-45949

⑤ Int. Cl.<sup>3</sup>H 01 L 21/66  
G 01 R 31/26

識別記号

H 7376-5F  
J 7807-2G

庁内整理番号

⑬ 公開 平成2年(1990)2月15日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体素子の通電試験方法

⑯ 特 願 昭63-196484

⑰ 出 願 昭63(1988)8月6日

⑱ 発 明 者 桜 井 和 徳 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

## 明 細 書

## 1. 発明の名称

半導体素子の通電試験方法

## 2. 特許請求の範囲

a) フィルムキャリア方式により連続的に多数個実装した半導体素子を通電試験する方法において、

b) 配線パターンを形成した長尺状のフレキシブルテープを前記フィルムキャリアと重ね合わせて、各半導体素子から延在するリードと前記フレキシブルテープの配線パターンとを接続して各半導体素子の一部または全部の同一端子を短絡する工程と、

c) 前記フィルムキャリアを長尺状のままリールあるいは芯に巻き取り、高温あるいは高湿の雰囲気中にさらしてフィルムキャリアと接続した前記フレキシブルテープを介して半導体素子に一定時間通電する工程と、

d) フレキシブルテープをフィルムキャリアから切り離して再び各半導体素子を電気的に独立させて電気的特性を測定する工程とからなることを特徴とする半導体素子の通電試験方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明はフィルムキャリア方式により実装された半導体素子を通電試験する方法において、長尺状のままフィルムキャリア上の複数の半導体素子に通電する方法に関する。

## 〔従来の技術〕

従来のフィルムキャリアの半導体素子の通電試験は、第2図(a)に示す様に長尺状のフィルムキャリア1に連続的に実装された半導体素子2を、第2図(b)に示す様に個々の半導体素子に切り離した後、送り穴8を利用してソケットに固定して行なっていた。また、数十mmの短尺状に切断した状態ならば、ソケットを並べて設置すること

により数個までは短尺状のまま通電試験を行なうことはできたが、数十mmの長尺状になればソケットを並べて設置することは不可能であった。

#### [ 発明が解決しようとする課題 ]

しかし従来技術ではフィルムキャリアを個々の半導体素子か、あるいは短尺状に切り離さなければならないため、通電試験を行う際にソケットに半導体素子を1個1個挿入するか、短尺状のフィルムキャリアを1枚ずつ挿入しなければならない。したがって、ソケットに挿抜する為には人間が膨大な工数をかけて行なうか、特殊なロボットを用いて行なわなければならない。

また、通電試験の後の工程、例えば、電気的特性測定、搬送、出荷、外部基板へ接続する際のフィルムキャリアの外形抜き等は全て半導体素子個々の状態か、短尺状で取扱わなければならない、前記通電試験と同様に膨大な工数や時間を必要とした。

#### [ 実施例 ]

第1図は本発明の実施例における平面図であり、複数の樹脂封止された半導体素子2が長尺状のフィルムキャリアテープ1に実装されている。通常、長尺状のフィルムキャリアは送り穴8を用いて搬送、位置合せ等が行なわれる。

まず、配線パターン4が形成されたフレキシブルテープ3を用意する。フレキシブルテープには、半導体素子2から延在するリード5と前記配線パターン4が交差する位置に接続孔6が開けられている。

次に、前記フレキシブルテープをフィルムキャリアと重ね合わせて、前記接続孔6の位置で半導体素子から延在するリード5と配線パターン4が交差する様に位置合せする。ここで、フィルムキャリア1およびフレキシブルテープ3は、別々のリールに巻き取られており、一部分のみ巻き出されている。

次に、前記リード5と前記配線パターン4を、図の7の位置でスポット溶接していく。フィルム

#### [ 課題を解決するための手段 ]

本発明の半導体素子の通電試験方法は、

a) フィルムキャリア方式により連続的に多数個実装した半導体素子を通電試験する方法において、

b) 配線パターンを形成した長尺状のフレキシブルテープを前記フィルムキャリアと重ね合わせて、各半導体素子から延在するリードと前記フレキシブルテープの配線パターンとを接続して各半導体素子の一部または全部の同一端子を短絡する工程と、

c) 前記フィルムキャリアを長尺状のままリールあるいは芯に巻き取り、高温あるいは高湿の雰囲気中にさらしてフィルムキャリアと接続した前記フレキシブルテープを介して半導体素子に一定時間通電する工程と、

d) フレキシブルテープをフィルムキャリアから切り離して再び各半導体素子を電気的に独立させて電気的特性を測定する工程とからなることを特徴とする。

キャリアの溶接部にはスリット10が設けてあり、フレキシブルテープには接続孔6が設けてあるため、抵抗溶接であるスポット溶接が可能である。この工程は、フィルムキャリアは送り穴8を、フレキシブルテープは位置決め穴12を用いて機械的に位置合せして自動で行なわれる。

スポット溶接した後は、ポリイミドなどの絶縁性の耐熱スペーサをはさみ込みながら再びリールに巻き取る。ここで、フィルムキャリアとフレキシブルテープには、リード5の厚みとフレキシブルテープの厚みにより巻き取り距離に差が生じる。フィルムキャリア1に75μm厚のポリイミドテープを用いた場合、フレキシブルテープ3は25μm厚のポリイミドかポリエステル等を用いれば、巻き取った際に生ずる距離差はフレキシブルテープ3が変形することにより緩和され、スポット溶接部に力が加わることを防ぐ。

以上の様にリールに巻き取られたフィルムキャリアを通電試験機に投入し、通電はフレキシブルテープの巻き出し部の配線パターン4に半田付け

、コネクタ接続等により行なう。

通電試験が終了したフィルムキャリアは電気的特性を測定する為に各半導体素子のリードを電気的に独立させる必要がある。そこで、第1図の破線A-A'、B-B'にてフレキシブルテープを接続した部分を切り離す。この工程もフィルムキャリアは長尺状のまま送り穴8でフィルムキャリアを送りながら自動で行なえる。

フレキシブルテープとの接続部を切り離したフィルムキャリアは、第2の送り穴9を用いて、電気的特性の測定以降の工程は長尺状のまま処理できる為、自動化が極めて容易になる。

#### 〔発明の効果〕

以上述べたように本発明によれば、フィルムキャリアを長尺状のまま通電試験を行ない、通電試験後も長尺状のまま、個々の半導体素子に切り離す必要がないので、電気的特性測定機など後の工程へのフィルムキャリアの供給が長尺状で行なえる為、自動化が極めて容易になり、工数が大幅

に削減できるという効果を有する。

#### 4. 図面の簡単な説明

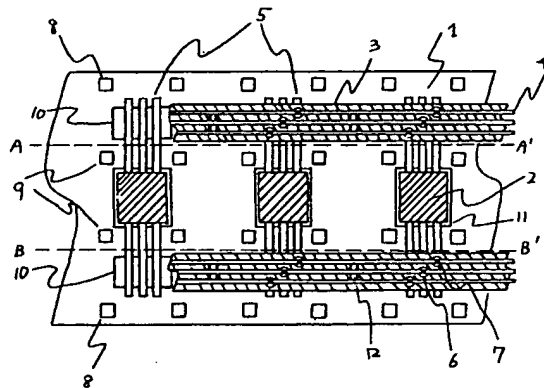
第1図は本発明の半導体素子の通電試験方法を説明する平面図。

第2図は従来の半導体素子の通電試験方法を説明する平面図。

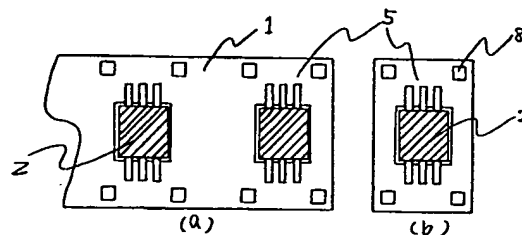
- 1 ……フィルムキャリア
- 2 ……半導体素子
- 3 ……フレキシブルテープ
- 4 ……配線パターン
- 5 ……リード
- 11 ……デバイスホール

以 上

出願人 セイコーエプソン株式会社  
代理人 弁理士 鈴木喜三郎(他1名)



第1図



第2図